



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0023732  
Application Number

출 원 년 월 일 : 2003년 04월 15일  
Date of Application APR 15, 2003

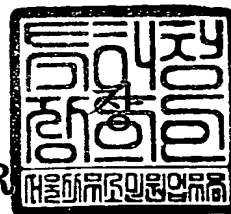
출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003    년    11    월    14    일

특    허    청

COMMISSIONER





## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0013
【제출일자】	2003.04.15
【국제특허분류】	H01L
【발명의 명칭】	독출 동작과 기입 동작이 동시에 수행되는 집적 회로의 동작 제어 방법
【발명의 영문명칭】	Method for controlling the operation of integrated circuit capable of operating data read and data writing simultaneously
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	손교민
【성명의 영문표기】	SOHN, Kyo Min
【주민등록번호】	710620-1030511
【우편번호】	463-773
【주소】	경기도 성남시 분당구 서현동(시범단지) 우성아파트 218동 1206호
【국적】	KR
【발명자】	
【성명의 국문표기】	서영호
【성명의 영문표기】	SUH, Young Ho
【주민등록번호】	630528-1691818



1020030023732

출력 일자: 2003/11/20

【우편번호】	441-340		
【주소】	경기도 수원시 권선구 구운동 890		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	20	면	20,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	11	항	461,000 원
【합계】	510,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

독출 동작과 기입 동작이 동시에 수행되는 집적 회로의 동작 제어 방법이 개시된다. 본 발명에 따른 집적 회로의 동작 제어 방법은 (a) 상기 기입 어드레스, 독출 어드레스 및 기입 데이터를 수신하는 단계, (b) 상기 기입 어드레스 및 상기 독출 어드레스에 응답하여 상기 메모리 블록들 및 상기 데이터 메모리 블록들 중 어디서 데이터의 독출 및 기입 동작을 수행할 것인지를 판단하는 단계, (c) 상기 (b) 단계의 결과에 응답하여, 상기 데이터 메모리 블록에서 독출 또는 기입 동작을 수행하는 단계 및 (d) 상기 (b) 단계의 결과에 응답하여, 상기 메모리 블록에서 독출 또는 기입 동작을 수행하는 단계를 구비한다.

본 발명에 따른 집적 회로의 동작 제어 방법은 클럭 신호의 한 주기 동안 독출 동작 및 기입 동작이 동시에 수행됨으로써 클럭 신호의 주기를 짧게 하기 위한 집적 회로에 있어서, 데이터가 집적 회로 내부의 메모리 블록들로 클럭 신호의 주기에 영향을 미치지 않고 원활하게 기입되거나 독출되도록 제어할 수 있는 장점이 있다.

**【대표도】**

도 7

**【명세서】****【발명의 명칭】**

독출 동작과 기입 동작이 동시에 수행되는 집적 회로의 동작 제어 방법{Method for controlling the operation of integrated circuit capable of operating data read and data writing simultaneously}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 분리된 입출력 포트를 가지는 메모리 장치의 동작을 설명하는 타이밍도이다.

도 2는 제 본 발명에 따른 집적 회로를 나타내는 블록도이다.

도 3은 도 2의 집적 회로에 의하여 데이터의 독출 동작과 기입 동작이 동시에 수행되는 방법을 나타내는 플로우 차트이다.

도 4는 도 3의 340단계를 설명하는 플로우 차트이다.

도 5는 도 3의 345단계를 설명하는 플로우 차트이다.

도 6은 도 3의 355단계를 설명하는 플로우 차트이다.

도 7은 본 발명에 따른 집적 회로의 동작을 설명하는 플로우 차트이다.

도 8은 도 7의 집적 회로의 동작 제어 방법의 파이프라인 구조를 설명하는 도면이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10>        본 발명은 집적 회로의 동작 제어 방법에 관한 것으로서, 특히 입출력 포트가 분리된 집적 회로에 있어서 데이터 독출 동작과 기입 동작이 동시에 수행될 수 있는 집적 회로의 동작 제어 방법에 관한 것이다.
- <11>        일반적인 동기식 램(synchronous RAM)은 하나의 클럭 주기마다 독출 데이터 또는 기입 데이터 중 어느 하나만을 전송할 수 있다.
- <12>        이중 데이터율 램(double data rate RAM)은 클럭의 상승 에지와 하강 에지마다 데이터를 전송함으로써 데이터 전송률을 2배 증가 시켰다. 그러나 일반적인 메모리 장치는 데이터의 입력과 데이터의 출력이 하나의 핀을 통하여 이루어진다. 공통 입출력 포트(common I/O)를 이용하는 방법은 데이터의 입력과 출력이 독립적으로 제어될 수 없기 때문에 데이터의 입력 주파수와 출력 주파수가 제한될 수밖에 없다.
- <13>        그러나 메모리 장치의 대역폭(bandwidth)이 중요시되면서, 분리된 입출력 포트(separate I/O)를 사용하는 제품들이 제조되고 있다. 즉, 데이터의 입력과 출력이 독립적으로 제어될 수 있도록 입력 핀과 출력 핀이 분리된 것이다. 분리된 입력 핀과 출력 핀을 가진 메모리 장치는 클럭의 한 주기 내에 독출 명령(read command)과 독출 어드레스(read address), 기입 명령(write command)과 기입 어드레스(write address) 및 기입 데이터(write data)를 모두 수신할 수 있으므로 동작 주파수를 증가시킬 수 있다.



- <14> 그러나, 분리된 입출력 포트를 가지는 메모리 장치라도 하나의 클럭 주기 내에서 독출 명령(read command)과 독출 어드레스(read address), 기입 명령(write command)과 기입 어드레스(write address) 및 기입 데이터(write data)를 수신하는 경우, 독출 동작과 기입 동작이 하나의 클럭 주기 내에 수행되기 위해서는 두 번의 메모리 셀 접근이 수행되어야 한다.
- <15> 즉, 데이터의 독출과 기입을 위한 워드 라인의 활성화가 클럭의 한 주기 내에 두 번 수행되어야 하므로 클럭 주파수가 워드 라인의 활성화 시간에 의해서 제한을 받는 문제가 있다.
- <16> 도 1은 분리된 입출력 포트를 가지는 메모리 장치의 동작을 설명하는 타이밍도이다.
- <17> 어드레스와 워드 라인사이의 관계나 입력 데이터 및 출력 데이터의 레이턴시(latency)는 메모리 장치의 회로 구성에 따라 달라지므로 도 1에서는 여기서는 고려되지 않는다.
- <18> 도 1을 참조하면, 클럭 신호(CLK)의 한 주기 내에서 기입 어드레스(WADD)와 독출 어드레스(RADD)가 모두 입력되고 있다. 클럭 신호(CLK)의 상승 에지에서 입력되는 어드레스(A0, A2, A4, A6)가 독출 어드레스(RADD)이고, 클럭 신호(CLK)의 하강 에지에서 입력되는 어드레스(A1, A3, A5, A7)가 기입 어드레스(WADD)이다.
- <19> RES와 WES는 각각 독출 어드레스(RADD)와 기입 어드레스(WADD)를 선택하는 독출 선택 신호 및 기입 선택 신호이다.
- <20> 독출 어드레스(RADD) A0에 의하여 워드 라인(AWL0)가 활성화되고, 워드 라인(AWL0)에 응답하여 데이터(Q0)가 출력된다. 또한 기입 어드레스(WADD) A1에 응답하여 워드 라인(AWL1)이 활성화되면 입력 데이터(D1)가 입력된다.



<21> 독출 동작을 위한 워드 라인(AWL0)과 기입 동작을 위한 워드 라인(AWL1)이 클럭 신호 (CLK)의 한 주기 내에서 활성화되어야 한다. 따라서 클럭 신호의 한 주기의 길이가 두 개의 워드라인의 활성화 시간보다 짧아질 수 없게되는 문제가 있다.

**【발명이 이루고자 하는 기술적 과제】**

<22> 본 발명이 이루고자하는 기술적 과제는 클럭 신호의 한 주기 동안 독출 동작 및 기입 동작이 동시에 수행됨으로써 클럭 신호의 주기를 짧게 하기 위한 집적 회로에 있어서, 데이터가 집적 회로 내부의 메모리 블록들로 접근하는 순서와 데이터의 흐름을 제어하는 방법을 제공하는데 있다.

**【발명의 구성 및 작용】**

<23> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 집적 회로의 동작 제어 방법은 입출력 포트가 분리되어 있고 클럭 신호의 한 주기 동안 기입 어드레스와 독출 어드레스가 동시에 입력되며, 복수개의 서브 메모리 블록들을 각각 구비하는 복수개의 메모리 블록들, 상기 메모리 블록들에 대응되는 데이터 메모리 블록들, 상기 기입 어드레스 또는 상기 독출 어드레스에 응답하여 데이터를 상기 메모리 블록들 및 상기 데이터 메모리 블록들로 기입하거나 독출하는 태그 메모리 제어부를 구비하는 집적 회로의 동작 제어 방법에 있어서,

<24> (a) 상기 기입 어드레스, 독출 어드레스 및 기입 데이터를 수신하는 단계, (b) 상기 기입 어드레스 및 상기 독출 어드레스에 응답하여 상기 메모리 블록들 및 상기 데이터 메모리 블록들 중 어디서 데이터의 독출 및 기입 동작을 수행할 것인지를 판단하는 단계, (c) 상기 (b) 단계의 결과에 응답하여, 상기 데이터 메모리 블록에서 독출 또는 기입 동작을 수행하는 단계



및 (d) 상기 (b) 단계의 결과에 응답하여, 상기 메모리 블록에서 독출 또는 기입 동작을 수행하는 단계를 구비한다.

<25>       상기 (b) 단계는 상기 태그 메모리 제어부에서 수행된다. 상기 (d) 단계는 (d1) 데이터의 독출 동작의 경우, 상기 독출된 데이터를 상기 메모리 블록 내부의 서브 메모리 블록에 대응되는 전송부 까지 전송하는 단계, (d2) 상기 전송부까지 전송된 상기 데이터를 출력 버퍼까지 전송하는 단계 및 (d3) 상기 출력 버퍼까지 전송된 상기 데이터를 외부로 출력하는 단계를 구비한다.

<26>       상기 (a) 내지 (d) 단계는 상기 집적 회로의 동작을 위한 파이프라인(pipeline) 구조에서, 각 파이프라인의 스테이지(stage)를 구성한다. 상기 각 스테이지(stage)는 클럭 신호의 하나의 주기 동안 동작되거나 또는 상기 클럭 신호의 여러 주기 동안 동작된다.

<27>       상기 (c) 단계는 상기 데이터 메모리 블록에서 수행된 독출 또는 기입 동작에 관한 정보를 상기 태그 메모리 제어부에 기입하는 단계를 더 구비한다. 상기 (b) 단계는 상기 데이터 메모리 블록에서 수행된 독출 또는 기입 동작에 관한 정보를 상기 태그 메모리 제어부에 기입할 필요가 있는 경우, 상기 태그 메모리 제어부에 기입하기 전에 소정의 레지스터에 상기 정보와 상기 정보가 기입될 태그 메모리의 어드레스를 임시로 저장하고, 새로 수신된 기입 또는 독출 어드레스가 상기 정보가 기입될 태그 메모리의 어드레스와 일치하면 상기 레지스터에 저장된 상기 정보를 이용하여 다음 동작을 수행한다.

<28>       상기 (b) 단계의 판단 결과, 상기 (c) 단계의 동작이 수행될 필요가 없는 경우에도 상기 (c) 단계에 대응되는 스테이지에서 상기 (d) 단계의 동작이 수행되지 않으며, 상기 (c) 단계에 대응되는 스테이지에서는 아무런 동작이 수행되지 아니한다.



- <29>        상기 집적 회로의 동작 제어 방법은 상기 수신되는 기입 어드레스 및 독출 어드레스의 상위 어드레스가 동일하고, 상기 독출 어드레스 및 상기 기입 어드레스가 소정의 데이터 메모리 어드레스와 동일하지 아니하며, 상기 기입 어드레스에 대응되는 상기 데이터 메모리 블록에 저장된 데이터가 유효하다면, 상기 (c) 단계는 (c1) 상기 기입 어드레스에 대응되는 상기 데이터 메모리 블록에 저장된 데이터를 독출하는 단계 및 (c2) 상기 데이터가 독출된 상기 데이터 메모리 블록에 상기 기입 어드레스에 대응되는 기입 데이터를 기입하는 단계를 구비하고, 상기 (d)단계는 (da) 상기 독출 어드레스에 대응되는 서브 메모리 블록에서 독출 동작을 수행하는 단계 및 (db) 상기 (c1) 단계에서 독출된 데이터가 본래 저장되어야 할 서브 메모리 블록에 상기 독출된 데이터를 기입하는 단계를 구비한다.
- <30>        상기 (c2) 단계는 (c21) 상기 데이터가 독출된 상기 데이터 메모리 블록에 기입된 상기 기입 데이터에 관한 정보를 상기 태그 메모리 제어부에 기입하는 단계를 더 구비한다. 상기 데이터 메모리 어드레스는 상기 데이터 메모리 블록에 대응되는 상기 서브 메모리 블록의 어드레스를 나타낸다.
- <31>        본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- <32>        이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <33>        도 2는 본 발명의 집적 회로를 나타내는 블록도이다.



- <34> 도 2를 참조하면, 집적 회로(200)는 복수개의 서브 메모리 블록들(SMB1, SMB2 ~ SMB M)을 각각 구비하는 메모리 블록들(MB1, MB2, MB3, MB4), 메모리 블록들(MB1, MB2, MB3, MB4)에 대응되는 데이터 메모리 블록들(DMB1, DMB2, DMB3, DMB4) 및 태그 메모리 제어부(210)를 구비한다. 도 2의 집적 회로(200)는 입출력 포트가 분리되어 있고, 클럭 신호의 한 주기동안 기입 어드레스(WADD)와 독출 어드레스(RADD)가 입력된다.
- <35> 메모리 블록들(MB1, MB2, MB3, MB4)은 서로 동일한 구조를 가지고 있고, 데이터 메모리 블록들(DMB1, DMB2, DMB3, DMB4)도 서로 동일한 구조를 가지고 있으므로, 메모리 블록들(MB1, MB2, MB3, MB4)중 두 번째 메모리 블록(MB2)과 두 번째 데이터 메모리 블록(DMB2)을 중심으로 설명한다.
- <36> 기입 어드레스(WADD) 및 독출 어드레스(RADD)는 각각 상위 어드레스와 하위 어드레스로 구분되는데, 상위 어드레스는 복수개의 서브 메모리 블록들 중 어느 하나를 지정하는 어드레스이다.
- <37> 본 발명의 기본 원리는 기입 어드레스(WADD) 및 독출 어드레스(RADD)가 동일한 경우, 데이터의 독출 동작과 기입 동작이 메모리 블록과 데이터 메모리 블록에 각각 나누어져 동시에 수행됨으로써 클럭 신호의 주기를 줄이려는 것이다.
- <38> 즉, 기입 어드레스(WADD)와 독출 어드레스(RADD)가 동일하여 동시에 하나의 서브 메모리 블록(예를 들어, SMB2)에서 기입 동작과 독출 동작이 수행되어야 하는 경우, 서브 메모리 블록(SMB2)에서 데이터의 독출 동작이 수행되면 데이터의 기입 동작은 서브 메모리 블록(SMB2)에 대응되는 데이터 메모리 블록(DMB2)에서 수행되도록 한다.



- <39> 반대로, 서브 메모리 블록(SMB2)에서 데이터의 기입 동작이 수행되면 데이터의 독출 동작은 서브 메모리 블록(SMB2)에 대응되는 데이터 메모리 블록(DMB2)에서 수행되도록 한다. 이와 같은 방법으로 데이터의 독출 동작 및 기입 동작이 동시에 병렬적으로 수행될 수 있고 클럭 신호의 주기가 줄어들 수 있다.
- <40> 이를 위하여, 서브 메모리 블록(SMB2)의 일정한 메모리 셀은 데이터 메모리 블록(DMB2)의 일정한 메모리 셀에 직접 대응(direct mapping)된다. 또한, 동일한 서브 메모리 블록에 대하여 계속하여 기입 동작과 독출 동작이 수행될 경우도 발생할 수 있으므로, 데이터 메모리 블록의 사이즈는 하나의 서브 메모리 블록의 사이즈와 같거나 커야한다.
- <41> 태그 메모리 제어부(210)는 서브 메모리 블록과 데이터 메모리 블록 중 어느 곳에서 기입 동작 또는 독출 동작이 수행될지를 결정한다. 태그 메모리 제어부(210)는 기입 어드레스(WADD) 또는 독출 어드레스(RADD)에 응답하여 메모리 블록들(MB1, MB2, MB3, MB4) 및 데이터 메모리 블록들(DMB1, DMB2, DMB3, DMB4)에 저장된 데이터를 독출 하거나 메모리 블록들(MB1, MB2, MB3, MB4) 및 데이터 메모리 블록들(DMB1, DMB2, DMB3, DMB4)로 데이터를 기입한다.
- <42> 기입 어드레스(WADD)와 독출 어드레스(RADD)가 동일하여, 메모리 블록(MB2)중의 하나의 서브 메모리 블록에서 독출 동작이 수행되고 데이터 메모리 블록(DMB2)에서 기입 동작이 수행된 경우, 데이터 메모리 블록(DMB2)에 기입된 데이터가 본래 기입되어야 할 서브 메모리 블록(SMB2)의 주소가 데이터 메모리 어드레스로서 태그 메모리 제어부(210)에 저장된다.
- <43> 즉, 데이터 메모리 어드레스는 데이터 메모리 블록(DMB2)에 저장되어 있는 데이터가 본래 저장되어 있어야 할 서브 메모리 블록을 지정하는 상위 어드레스이다.



- <44> 만일 태그 메모리 제어부(210)에 저장된 데이터 메모리 어드레스를 인식하려면 입력되는 어드레스 중에서 하위 어드레스를 이용하여 태그 메모리 제어부(210)에 저장된 데이터 메모리 어드레스의 위치를 알 수 있다.
- <45> 다음 번 기입 어드레스(WADD)와 독출 어드레스(RADD)가 서로 동일하고, 또한 이전의 기입 어드레스(WADD)와 독출 어드레스(RADD)와도 동일하여 데이터 메모리 블록(DMB2)에 다시 기입 동작이 수행되어야 할 경우가 있다. 이 경우, 데이터 메모리 블록(DMB2)에 먼저 기입되어 있던 데이터가 유효한 데이터인지 여부를 판단해야 한다.
- <46> 유효한 데이터라면 데이터 메모리 블록(DMB2)에 먼저 기입되어 있는 데이터를 독출하여 메모리 블록(MB2)의 대응되는 서브 메모리 블록에 기입한 후, 다음 번 기입 어드레스(WADD)에 대응되는 데이터를 데이터 메모리 블록(DMB2)에 기입해야 하기 때문이다. 데이터 메모리 블록(DMB2)에 저장되어 있는 데이터가 유효한지를 판단하는 유효 판단 정보도 태그 메모리 제어부(210)에 저장된다.
- <47> 또한 기입 어드레스(WADD) 및 독출 어드레스(RADD)가 다른 경우, 각각의 기입 및 독출 어드레스(WADD, RADD)에 대응되는 서로 다른 2개의 서브 메모리 블록들이 각각 디코딩 된다.
- <48> 이를 위하여, 집적 회로(200)는 기입 어드레스 디코딩 패스(미도시)와 독출 어드레스 디코딩 패스(미도시)가 서로 독립적으로 분리되어야 한다. 그리고, 서브 메모리 블록들(SMB1, SMB2, SMB3 ~ SMB M)은 기입 어드레스 디코딩 패스와 독출 어드레스 디코딩 패스에 각각 연결되어야 한다.
- <49> 데이터는 단일 데이터 율(SDR: Single Data Rate) 또는 이중 데이터 율(DDR: Double Data Rate)로 입력 핀 및 출력 핀을 통하여 입력 또는 출력된다.

- <50> 도 3은 도 2의 집적 회로에 의하여 데이터의 독출 동작과 기입 동작이 동시에 수행되는 방법을 나타내는 플로우 차트이다.
- <51> 먼저, 클럭 신호의 한 주기 동안 기입 어드레스와 독출 어드레스가 모두 입력되는지 기입 어드레스 및 독출 어드레스 중 어느 하나만 입력되는지를 판단한다.(310 단계)
- <52> 태그 메모리 제어부(310)는 기입 어드레스(WADD)와 독출 어드레스(RADD)를 수신한다. 기입 어드레스와 독출 어드레스가 모두 입력되면 기입 어드레스의 상위 어드레스와 상기 독출 어드레스의 상위 어드레스가 동일한지를 판단한다.(320단계)
- <53> 기입 어드레스(WADD)나 독출 어드레스(RADD)는 상위 비트에 서브 메모리 블록을 지정하는 정보를 가지고 있다. 따라서 기입 어드레스(WADD)나 독출 어드레스(RADD)가 입력되면 먼저 기입 어드레스(WADD)나 독출 어드레스(RADD)의 상위 어드레스를 인식하여 어떤 서브 메모리 블록을 지정하는 지를 판단한다.
- <54> 기입 어드레스의 상위 어드레스와 독출 어드레스의 상위 어드레스가 동일하면, 기입 어드레스와 독출 어드레스가 소정의 데이터 메모리 어드레스와 동일한지를 판단한다.(330 단계)
- <55> 기입 어드레스(WADD)의 상위 어드레스와 독출 어드레스(RADD)의 상위 어드레스가 동일하면 기입 어드레스(WADD) 및 독출 어드레스(RADD)가 동일한 서브 메모리 블록을 지정하고 있는 것이다. 그러면 기입 동작이나 또는 독출 동작 중 하나는 서브 메모리 블록에서 수행되고 나머지 하나의 동작은 데이터 메모리 블록에서 수행되어야 한다.
- <56> 태그 메모리 제어부(210)는 데이터 메모리 어드레스를 내부에 저장하고 있다. 데이터 메모리 어드레스는 데이터 메모리 블록(DMB2)에 대응되는 서브 메모리 블록의 어드레스를 나타낸



다. 만일 기입 어드레스(WADD)가 데이터 메모리 어드레스와 동일하면 기입 동작은 데이터 메모리 블록(DMB2)에서 수행되어야 한다.

- <57> 기입 어드레스와 독출 어드레스 중 어느 하나도 상기 데이터 메모리 어드레스와 동일하지 않으면, 상기 독출 어드레스에 대응되는 상기 서브 메모리 블록에서 독출 동작을 수행하고, 상기 데이터 메모리 블록에서 기입 동작을 수행한다.(340 단계).
- <58> 제 340 단계를 도 4를 참조하여 좀더 설명한다. 기입 어드레스와 독출 어드레스 중 어느 하나도 상기 데이터 메모리 어드레스와 동일하지 않으면, 상기 데이터 메모리 블록에 저장되어 있는 데이터가 유효한지를 판단한다.(410 단계)
- <59> 기입 어드레스(WADD)와 독출 어드레스(RADD) 중 어느 하나도 상기 데이터 메모리 어드레스와 동일하지 않다는 것은 결국, 메모리 블록(MB2)의 동일한 서브 메모리 블록에서 기입 동작 및 독출 동작이 수행되어야 한다는 것을 의미한다. 그러나 동일한 서브 메모리 블록에서 기입 워드 라인과 독출 워드 라인이 동시에 인에이블 될 수는 없다. 따라서 데이터 메모리 블록(DMB2)을 이용한다.
- <60> 상기 데이터 메모리 블록에 저장되어 있는 데이터가 유효하지 않으면 상기 독출 어드레스에 대응되는 상기 서브 메모리 블록에서 독출 동작을 수행하고, 상기 데이터 메모리 블록에서 기입 동작을 수행한다.(440 단계)
- <61> 기입 동작과 독출 동작이 동일한 서브 메모리 블록에서 수행되어야 할 경우 독출 동작이 우선적으로 수행된다. 따라서, 독출 어드레스(RADD)에 대응되는 메모리 블록(MB2)의 서브 메모리 블록에서 독출 동작을 수행한다. 그리고 데이터 메모리 블록(DMB2)에 저장되어 있던 데이터가 유효하지 않으므로 데이터 메모리 블록(DMB2)에 기입 동작을 수행한다.



- <62> 데이터 메모리 블록(DMB2)에 저장된 데이터가 새로운 기입 동작에 의해서 변경되었으므로, 상기 데이터 메모리 블록에 기입된 데이터에 관한 정보를 업데이트(update) 시킨다.(450 단계) 이러한 정보의 업데이트는 태그 메모리 제어부(210)에서 수행된다.
- <63> 상기 데이터 메모리 블록에 저장되어 있는 데이터가 유효하면 상기 독출 어드레스에 대응되는 상기 서브 메모리 블록에서 독출 동작을 수행하고, 상기 데이터 메모리 블록에 저장되어 있는 유효한 데이터를 독출하여 대응되는 서브 메모리 블록에 기입한다.(420 단계)
- <64> 기입 동작과 독출 동작이 동일한 서브 메모리 블록에서 수행되어야 할 경우 독출 동작이 우선적으로 수행되므로, 독출 어드레스(RADD)에 대응되는 메모리 블록(MB2)의 서브 메모리 블록에서 독출 동작이 수행된다.
- <65> 데이터 메모리 블록(DMB2)에 저장된 데이터가 유효한 데이터이므로 먼저, 데이터 메모리 블록(DMB2)에 저장되어 있는 유효한 데이터를 독출하여, 독출된 데이터를 메모리 블록의 대응되는 서브 메모리 블록에 기입해야 한다. 그리고, 데이터 메모리 블록(DMB2)에 새로운 데이터의 기입 동작을 수행하고, 데이터 메모리 블록(DMB2)에 기입된 데이터에 관한 정보를 업데이트(update) 시킨다.(430 단계) 정보의 업데이트는 역시 태그 메모리 제어부(210)에서 수행된다.
- <66> 이와 같은 데이터의 기입 동작과 독출 동작은 동시에 수행된다. 즉, 서브 메모리 블록과 데이터 메모리 블록(DMB2)에서 기입 동작과 독출 동작이 독립적으로 수행되므로 기입 워드 라인과 독출 워드 라인은 동시에 인에이블 될 수 있다. 따라서 기입 워드라인과 독출 워드라인이 순차적으로 인에이블 됨으로 인하여 클럭 신호의 주기를 줄이는데 제한이 생기는 문제를 해결할 수 있는 것이다.





- <67>        상기 330 단계에서 상기 기입 어드레스 또는 상기 독출 어드레스가 상기 데이터 메모리 어드레스와 일치한다면, 상기 기입 어드레스 및 상기 독출 어드레스 중 하나만이 상기 데이터 메모리 어드레스와 일치되는지, 상기 기입 어드레스 및 상기 독출 어드레스 모두가 상기 데이터 메모리 어드레스와 일치되는지를 판단하여 기입 동작 및 독출 동작을 수행한다.(345 단계)
- <68>        제 345 단계를 도 5를 참조하여 좀 더 설명한다. 상기 기입 어드레스 및 상기 독출 어드레스 중 하나가 상기 데이터 메모리 어드레스와 일치되면, 상기 데이터 메모리 어드레스와 일치된 어드레스에 대응되는 동작을 상기 데이터 메모리 블록에서 수행하고, 상기 데이터 메모리 어드레스와 일치되지 않은 어드레스에 대응되는 동작을 상기 서브 메모리 블록에서 수행한다.(510 단계)
- <69>        즉, 독출 어드레스(RADD)가 데이터 메모리 어드레스와 일치되고, 기입 어드레스(WADD)가 데이터 메모리 어드레스와 일치되지 않으면, 데이터 메모리 블록(DMB2)에서 독출 동작을 수행한다.
- <70>        반대로, 기입 어드레스(WADD)가 데이터 메모리 어드레스와 일치되고, 독출 어드레스(RADD)가 데이터 메모리 어드레스와 일치되지 않으면, 데이터 메모리 블록(DMB2)에서 기입 동작을 수행하고, 메모리 블록(MB2)에서 독출 동작을 수행한다.
- <71>        상기 기입 어드레스 및 상기 독출 어드레스가 모두 상기 데이터 메모리 어드레스와 일치되면, 상기 데이터 메모리 블록에서 독출 동작을 수행하고, 상기 서브 메모리 블록에서 기입 동작을 수행하며, 상기 서브 메모리 블록에 기입된 데이터에 관한 정보를 업데이트(update) 시킨다.(520 단계)



- <72> 기입 어드레스 및 상기 독출 어드레스가 모두 상기 데이터 메모리 어드레스와 일치되면, 기입 동작과 독출 동작이 모두 데이터 메모리 블록(DMB2)에서 수행되어야 한다는 것을 의미한다. 그러나, 이것은 동일한 서브 메모리 블록에서 기입 동작과 독출 동작이 동시에 수행될 수 없는 것과 동일한 이유로 불가능하다.
- <73> 따라서, 데이터 메모리 블록(DMB2)에서 독출 동작이 수행된다. 그리고 메모리 블록(MB2)의 대응되는 서브 메모리 블록에서 기입 동작이 수행된다. 본래 데이터 메모리 블록(DMB2)에 기입되어야 할 데이터가 서브 메모리 블록에 기입된 것이므로, 데이터 메모리 블록(DMB2)에 현재 저장되어 있는 데이터는 유효하지 않은 데이터가 된다. 따라서 이러한 정보를 태그 메모리 제어부(210)에 업데이트 시킨다.
- <74> 제 320 단계에서, 상기 기입 어드레스의 상위 어드레스와 상기 독출 어드레스의 상위 어드레스가 동일하지 않으면, 상기 기입 어드레스와 상기 독출 어드레스가 상기 데이터 메모리 어드레스와 일치되는지를 판단한다.(350 단계)
- <75> 상기 기입 어드레스 및 상기 독출 어드레스 중 하나가 상기 데이터 메모리 어드레스와 일치되는지, 상기 기입 어드레스 및 상기 독출 어드레스 모두가 상기 데이터 메모리 어드레스와 일치되는지를 판단하여 기입 동작 및 독출 동작을 수행한다.(355 단계)
- <76> 제 355 단계를 도 6을 참조하여 좀 더 설명한다. 상기 기입 어드레스 및 상기 독출 어드레스 중 어느 하나가 상기 데이터 메모리 어드레스와 일치되면, 상기 데이터 메모리 어드레스와 일치된 어드레스에 대응되는 동작을 상기 데이터 메모리 블록에서 수행하고, 상기 데이터 메모리 어드레스와 일치되지 않은 어드레스와 일치되는 동작을 상기 서브 메모리 블록에서 수행한다.(610 단계)



- <77> 즉, 독출 어드레스(RADD)가 데이터 메모리 어드레스와 일치되고, 기입 어드레스(WADD)가 데이터 메모리 어드레스와 일치되지 않으면, 데이터 메모리 블록(DMB2)에서 독출 동작을 수행한다. 또한 태그 메모리 제어부(210)는 서브 메모리 블록에서 기입 동작이 수행되도록 한다.
- <78> 반대로, 기입 어드레스(WADD)가 데이터 메모리 어드레스와 일치되고, 독출 어드레스(RADD)가 데이터 메모리 어드레스와 일치되지 않으면, 데이터 메모리 블록(DMB2)에서 기입 동작을 수행하고, 서브 메모리 블록에서 독출 동작을 수행한다.
- <79> 상기 기입 어드레스 및 상기 독출 어드레스가 모두 상기 데이터 메모리 어드레스와 일치되면, 상기 데이터 메모리 블록에서 독출 동작을 수행하고, 상기 서브 메모리 블록에서 기입 동작을 수행하며, 상기 서브 메모리 블록에 기입된 데이터에 관한 정보를 업데이트(update) 시킨다.(620 단계)
- <80> 기입 어드레스 및 독출 어드레스가 모두 상기 데이터 메모리 어드레스와 일치되면, 기입 동작과 독출 동작이 모두 데이터 메모리 블록(DMB2)에서 수행되어야 한다는 것을 의미한다. 그러나, 이것은 동일한 서브 메모리 블록에서 기입 동작과 독출 동작이 동시에 수행될 수 없는 것과 동일한 이유로 불가능하다.
- <81> 따라서, 데이터 메모리 블록(DMB2)에서 독출 동작을 수행한다. 그리고 메모리 블록(MB2)의 대응되는 서브 메모리 블록에서 기입 동작을 수행한다. 본래 데이터 메모리 블록(DMB2)에 기입되어야 할 데이터가 서브 메모리 블록에 기입된 것이므로, 데이터 메모리 블록(DMB2)에 현재 저장되어 있는 데이터는 유효하지 않은 데이터가 된다. 따라서 이러한 정보를 태그 메모리 제어부(210)에 업데이트 시킨다.



- <82> 제 350 단계에서 판단한 결과, 상기 기입 어드레스 및 상기 독출 어드레스 가 모두 상기 데이터 메모리 어드레스와 일치되지 않으면, 상기 선택된 메모리 블록 중 상기 기입 어드레스 및 상기 독출 어드레스에 대응되는 서로 다른 서브 메모리 블록에서 기입 동작 및 독출 동작을 수행한다.(360 단계)
- <83> 이 경우는 기입 어드레스(WADD) 및 독출 어드레스(RADD)가 서로 다른 서브 메모리 블록을 지정하고 있는 경우이다. 서로 다른 서브 메모리 블록이 지정되었으므로 각각의 서브 메모리 블록에 대응되는 디코딩 회로(미도시)를 이용하여 데이터의 독출 동작과 기입 동작을 수행한다.
- <84> 제 310 단계에서, 상기 기입 어드레스 및 상기 독출 어드레스 중 어느 하나만 입력되면 입력된 상기 기입 어드레스 및 상기 독출 어드레스 중 어느 하나가 상기 데이터 메모리 어드레스와 일치되는 지를 판단한다.(365 단계)
- <85> 입력된 상기 기입 어드레스 또는 상기 독출 어드레스가 상기 데이터 메모리 어드레스와 일치되면, 상기 데이터 메모리 어드레스와 일치된 기입 어드레스 또는 독출 어드레스에 대응되는 동작을 상기 데이터 메모리 블록에서 수행한다.(370 단계)
- <86> 이 경우는 클럭 신호의 한 주기 동안 기입 어드레스(WADD) 및 독출 어드레스(RADD) 중 어느 하나만이 입력되는 것이다. 이때는 입력되는 어드레스가 데이터 메모리 어드레스와 일치되면 데이터 메모리 블록에서 대응되는 동작을 수행하고, 데이터 메모리 어드레스와 일치되지 않으면 서브 메모리 블록에서 대응되는 동작을 수행한다.
- <87> 즉, 기입 어드레스(WADD)만이 입력되고, 입력된 기입 어드레스(WADD)가 데이터 메모리 어드레스와 일치된다면 데이터 메모리 블록(DMB2)에 기입 동작을 수행한다. 반대로, 독출 어드

레스(RADD)만이 입력되고, 입력된 독출 어드레스(RADD)가 데이터 메모리 어드레스와 일치된다면 데이터 메모리 블록(DMB2)에서 독출 동작을 수행한다.

<88>        입력된 상기 기입 어드레스 또는 상기 독출 어드레스가 상기 데이터 메모리 어드레스와 일치되지 않으면, 상기 데이터 메모리 어드레스와 일치되지 않은 기입 어드레스 또는 독출 어드레스에 대응되는 동작을 상기 서브 메모리 블록에서 수행한다.(375단계)

<89>        도 7은 본 발명에 따른 집적 회로의 동작을 설명하는 플로우 차트이다.

<90>        독출 동작과 기입 동작을 동시에 수행하기 위한 집적 회로의 내부 동작이 이 도 2 내지 도 6을 참조하여 설명되었다. 독출 어드레스와 기입 어드레스, 그리고 데이터 메모리 블록에 저장되어 있는 데이터 등에 따라서 집적 회로에서 현재 실행되어야 할 동작이 여러 가지 경우로 달라진다.

<91>        도 7의 플로우 차트(700)는 이러한 다양한 동작들이 클럭 신호의 짧은 주기 내에서 원활하게 수행될 수 있도록 해주는 동작 순서를 설명한다.

<92>        도 7을 참조하면, 먼저, 상기 기입 어드레스, 독출 어드레스 및 기입 데이터를 수신한다.(710 단계)

<93>        그리고, 상기 기입 어드레스 및 상기 독출 어드레스에 응답하여 상기 메모리 블록들 및 상기 데이터 메모리 블록들 중 어디서 데이터의 독출 및 기입 동작을 수행할 것인지를 판단한다.(720 단계)

<94>        제 720 단계에서 기입 어드레스와 독출 어드레스가 모두 입력되는지 여부(310 단계), 기입 어드레스의 상위 어드레스와 독출 어드레스의 상위 어드레스가 서로 일치하는 지 여부(320 단계), 기입 어드레스와 독출 어드레스가 데이터 메모리 어드레스와 일치하는 지 여부(330 단

계, 350 단계, 365 단계), 데이터 메모리 블록에 저장된 데이터가 유효한지 여부(410 단계) 등이 판단된다.

<95> 제 720 단계의 동작은 태그 메모리 제어부(210)에서 수행된다. 태그 메모리 제어부(210)는 서브 메모리 블록 또는 데이터 메모리 블록으로 데이터를 기입하거나 독출하는 동작을 제어한다.

<96> 상기 제 720 단계의 결과에 응답하여, 상기 데이터 메모리 블록에서 독출 또는 기입 동작을 수행한다.(730 단계)

<97> 제 730 단계에서는 기입 어드레스와 독출 어드레스 중 데이터 메모리 어드레스와 일치하는 어드레스에 대응되는 동작을 데이터 메모리 블록에서 수행하는 510 단계 및 610 단계, 기입 어드레스와 독출 어드레스 모두가 데이터 메모리 어드레스와 일치하는 경우 데이터 메모리 블록에서 독출 동작을 수행하는 제 520 단계 및 620 단계의 동작이 수행된다.

<98> 또한 제 730 단계에서는 데이터 메모리 블록에 저장되어 있는 데이터가 유효한 데이터라면 데이터 메모리 블록에 저장되어 있는 유효한 데이터를 독출하고 새로운 데이터를 데이터 메모리 블록에 저장하는 420단계 및 430 단계, 데이터 메모리 블록에 저장되어 있는 데이터가 유효한 데이터가 아니라면 데이터 메모리 블록에 새로운 데이터를 기입하는 440 단계의 동작이 수행된다.

<99> 제 730 단계에서는 경우에 따라서는 상기 데이터 메모리 블록에서 수행된 독출 또는 기입 동작에 관한 정보를 상기 태그 메모리 제어부에 기입하는 단계를 더 구비할 수 있다. 즉, 데이터 메모리 블록에 저장된 데이터가 변경된 경우 변경된 데이터에 관한 정보를 태그 메모리 정보에 업데이트(update) 시킨다.



- <100>        상기 720 단계의 결과에 응답하여, 상기 메모리 블록에서 독출 또는 기입 동작을 수행하는 단계를 구비한다.(740 단계)
- <101>        제 740 단계에서는 기입 어드레스와 독출 어드레스 중 데이터 메모리 어드레스와 일치하지 않는 어드레스에 대응되는 동작을 서브 메모리 블록에서 수행하는 510 단계 및 610 단계, 기입 어드레스와 독출 어드레스 모두가 데이터 메모리 어드레스와 일치하는 경우 서브 메모리 블록에서 기입 동작을 수행하는 제 520 단계 및 620 단계의 동작이 수행된다.
- <102>        또한 제 740 단계에서는 데이터 메모리 블록에 저장되어 있는 데이터가 유효한 데이터라면 데이터 메모리 블록에 저장되어 있는 유효한 데이터를 독출하여 대응되는 서브 메모리 블록에 기입하는 420단계, 데이터 메모리 블록에 저장되어 있는 데이터가 유효한 데이터가 아니라면 서브 메모리 블록에서 독출 동작을 수행하는 440 단계의 동작이 수행된다.
- <103>        앞서 설명된 것과 같이 본 발명에 따른 집적 회로의 동작 제어 방법(700)은 기입 어드레스, 독출 어드레스 및 기입 데이터를 수신한 후, 먼저 태그 메모리 제어부(210)에서 필요한 동작이 수행되고 다음으로 데이터 메모리 블록에서 필요한 동작이 수행되며 마지막으로 서브 메모리 블록에서 필요한 동작이 수행된다.
- <104>        본 발명에 따른 집적 회로의 동작 제어 방법(700)의 각각의 단계는 집적 회로의 동작을 위한 파이프라인(pipeline) 구조에서 각 파이프라인의 스테이지(stage)를 구성한다. 즉, 본 발명에 따른 집적 회로는 파이프라인 구조를 구비하며 클럭 신호를 기준으로 여러 단계의 동작이 동시에 수행될 수 있다.

- <105>       상기 파이프라인 구조의 각 스테이지(stage)는 클럭 신호의 하나의 주기 동안 동작될 수 있다. 즉, 본 발명에 따른 집적 회로의 동작 제어 방법(700)의 각각의 단계는 클럭 신호의 하나의 주기 동안 모든 동작이 수행될 수 있다.
- <106>       또는 본 발명에 따른 집적 회로의 동작 제어 방법(700)의 각각의 단계는 상기 클럭 신호의 복수개의 주기 동안 모든 동작이 수행될 수 있다. 즉, 각각의 단계에 대응되는 동작이 수행되는 데 걸리는 시간이 클럭 신호의 수 사이클(cycle)을 차지할 수 있다.
- <107>       경우에 따라서는 본 발명에 따른 집적 회로의 동작 제어 방법(700)의 몇 개의 단계가 클럭 신호의 하나의 주기 동안에 수행될 수 도 있을 것이다.
- <108>       제 720 단계의 판단 결과, 상기 730 단계의 동작이 수행될 필요가 없는 경우에도 상기 730 단계에 대응되는 스테이지에서 상기 740 단계의 동작이 앞으로 당겨져서 수행되지 않는다.
- <109>       이 경우, 730 단계에 대응되는 스테이지에서는 아무런 동작이 수행되지 아니하고 그냥 지나간다. 동작 명령이 연속적으로 수신되는 경우 파이프라인 동작이 원활하게 수행되도록 하기 위함이다.
- <110>       상기 740 단계는 데이터의 독출 동작의 경우, 상기 독출된 데이터를 상기 메모리 블록 내부의 서브 메모리 블록에 대응되는 전송부 까지 전송하는 단계, 상기 전송부까지 전송된 상기 데이터를 출력 버퍼까지 전송하는 단계 및 상기 출력 버퍼까지 전송된 상기 데이터를 외부로 출력하는 단계를 구비할 수 있다.
- <111>       도 2의 본 발명에 따른 집적 회로(200)의 구조를 보면 서브 메모리 블록으로부터 데이터가 독출되어 외부로 출력되기까지의 데이터 경로가 데이터 메모리 블록이나 태그 메모리 제어



부의 경로에 비하여 상대적으로 길다. 본 발명에 따른 집적 회로의 구조가 반드시 도 2에 도시된 구조에 한정되는 것은 아니다.

<112> 그러나 다른 구조를 취하더라도 서브 메모리 블록으로부터 데이터가 독출되어 외부로 출력되는 경로가 상대적으로 길다. 따라서, 제 740 단계의 데이터 독출 동작을 클럭 신호의 두 개의 사이클에 걸쳐서 동작되도록 하는 것이 클럭 신호의 주기를 줄이는데 도움이 된다.

<113> 클럭 신호의 처음 사이클에는 서브 메모리 블록의 워드라인과 컬럼라인을 활성화시켜 데이터를 독출하고 독출된 데이터를 서브 메모리 블록에 대응되는 전송부 까지 전송한다. 여기서 전송부는 센스 앰프 회로(sense amplifier circuit)일 수 있다.

<114> 클럭 신호의 다음 사이클에서는 상기 전송부(또는 센스 앰프 회로)에 래치 되어 있는 독출 데이터를 출력 버퍼(output buffer)까지 전송한다. 복수개의 서브 메모리 블록들을 구비하는 메모리 블록은 상대적으로 밀도(density)가 커서 넓은 영역에 걸쳐서 펼쳐져 있기 때문에 이와 같이 두 사이클에 걸쳐서 분기하여 데이터를 전송함으로써 클럭 신호의 주기를 줄일 수 있다.

<115> 출력 버퍼까지 전송된 데이터는 클럭 신호의 다음 사이클에 외부로 출력된다.

<116> 도 8은 도 7의 집적 회로의 동작 제어 방법의 파이프라인 구조를 설명하는 도면이다.

<117> 도 8을 참조하면, RCV는 독출 어드레스, 기입 어드레스 및 기입 데이터가 수신되고 내부의 레지스터(미도시)에 저장되는 동작을 나타낸다. TM/CMP는 기입 어드레스 또는 독출 어드레스를 이용하여 태그 메모리 제어부(210)가 검색되고 데이터 메모리 블록에서 기입 동작 또는 독출 동작이 수행될 것인지가 결정되는 되는 동작을 나타낸다.



- <118> DM/TM은 상기 TM/CMP의 결과로부터 데이터 메모리 블록의 접근이 필요하다면 데이터 메모리 블록에 접근하고, 태그 메모리 제어부(210)에 정보를 업데이트 할 필요가 있는 경우 정보를 업데이트하는 동작을 나타낸다.
- <119> MM은 상기 TM/CMP의 결과로부터 서브 메모리 블록의 접근이 필요하다면 서브 메모리 블록에 접근하는 동작을 나타낸다. 기입 동작의 경우에는 이번 단계에서 동작이 끝나고 독출 동작의 경우에는 독출된 데이터가 서브 메모리 블록에 대응되는 센스 앰프 회로까지 전송된다.
- <120> PIPE는 MM에서 독출 동작이 수행되는 경우에만 동작되는 것으로서 센스 앰프 회로에 래치되어 있는 데이터가 출력 버퍼가 있는 곳까지 전송되는 것을 나타낸다. DOUT은 독출 동작의 경우 출력 버퍼에 있는 데이터가 외부로 출력되는 것을 나타낸다.
- <121> 제 710 단계의 동작은 RCV에 대응되고, 제 720 단계의 동작은 TM/CMP에 대응되며, 제 730 단계의 동작은 DM/TM에 대응되고, 제 740 단계의 동작은 MM 및 PIPE에 대응된다.
- <122> 만일 제 710 단계 내지 730 단계의 동작은 클럭 신호의 한 주기동안 수행되고 740 단계의 동작은 클럭 신호의 두 주기 동안 동작된다고 가정한다면 본 발명의 집적 회로의 동작 제어 방법(700)을 나타내는 파이프라인 구조는 도 8에 의하여 설명된다.
- <123> 예를 들어, 도 8의 840번 파이프라인이 현재의 클럭 신호에 응답하여 집적 회로가 동작하는 것을 나타낸다면 830 번 파이프라인은 이전 클럭 신호에 응답하여 집적 회로가 동작하는 것을 나타낸다.
- <124> 태그 메모리 제어부(210)를 이용하는 동작은 TM/CMP 스테이지와 DM/TM 스테이지에서 수행된다. TM/CMP 스테이지에서는 클럭 신호의 사이클의 전반부에 태그 메모리 제어부(210)에서



독출 동작이 수행되고 DM/TM 스테이지에서는 클럭 신호의 사이클의 후반부에 태그 메모리 제어부(210)에서 기입 동작이 수행된다.

- <125> 서브 메모리 블록들을 구비하는 메모리나 데이터 메모리 블록과 달리 태그 메모리 제어부(210)는 집적회로의 중앙부에 위치하고, 셀 어레이의 크기도 작으므로 독출 동작과 기입 동작이 클럭 신호의 하나의 주기의 전반부와 후반부로 나뉘어져 수행되는 것이 가능하다.
- <126> 도 8의 840 번 파이프라인의 TM/CMP 스테이지의 동작을 보면, 태그 메모리 제어부(210)에서 독출 동작이 수행될 때, 바로 전 사이클의 명령 결과는 아직 태그 메모리 제어부(210)에 기입(또는 업데이트)되지 않은 상태이다.
- <127> 840-1과 830-1을 참조하면, 830-1의 태그 메모리 제어부(210)에 데이터를 기입하는 동작이 840-1의 태그 메모리 제어부(210)로부터 데이터를 독출하는 동작보다 늦게 수행되기 때문이다.
- <128> 그러므로 만일 이전 사이클의 데이터의 기입 동작(830-1)을 위한 기입 어드레스와 현재 사이클의 데이터의 독출 동작(840-1)을 위한 독출 어드레스가 동일하면, 태그 메모리 제어부(210)로부터 독출한 데이터가 올바른 데이터가 아닐 경우도 있다.
- <129> 따라서, TM/CMP 스테이지에서 태그 메모리 제어부(210)로부터 독출된 데이터를 다음 스테이지인 DM/TM 스테이지에서 태그 메모리 제어부(210)의 동일한 어드레스에 기입하게 될 경우, 소정의 레지스터(미도시)에 태그 메모리 제어부(210)에 기입할 어드레스와 데이터를 저장시킨다.
- <130> 그리고, 새로 입력되는 기입 어드레스나 독출 어드레스가 레지스터에 저장된 어드레스와 일치되면 레지스터에 저장된 데이터를 이용하여 다음 동작을 수행한다.



- <131>        상기 수신되는 기입 어드레스 및 독출 어드레스의 상위 어드레스가 동일하고, 상기 독출 어드레스 및 상기 기입 어드레스가 소정의 데이터 메모리 어드레스와 동일하지 아니하며, 상기 기입 어드레스에 대응되는 상기 데이터 메모리 블록에 저장된 데이터가 유효한 경우를 스래싱(thrashing)이라고 한다.
- <132>        스래싱(thrashing)이 발생한 경우의 동작을 설명한다. 스래싱(thrashing)이 발생되면 상기 730 단계는 상기 기입 어드레스에 대응되는 상기 데이터 메모리 블록에 저장된 데이터를 독출하는 단계 및 상기 데이터가 독출된 상기 데이터 메모리 블록에 상기 기입 어드레스에 대응되는 기입 데이터를 기입하는 단계를 구비한다.
- <133>        또한 제 740 단계는 상기 독출 어드레스에 대응되는 서브 메모리 블록에서 독출 동작을 수행하는 단계 및 상기 기입 어드레스에 대응되는 상기 데이터 메모리 블록에 저장된 데이터를 독출하는 단계에서 독출된 데이터가 본래 저장되어야 할 서브 메모리 블록에 상기 독출된 데이터를 기입하는 단계를 구비한다.
- <134>        기입 어드레스와 독출 어드레스의 상위 어드레스가 동일하면 동일한 서브 메모리 블록에서 기입 동작과 독출 동작이 수행되어야 하는 것을 의미하지만 본 발명에서는 독출 동작은 서브 메모리 블록에서 수행되고 기입 동작은 데이터 메모리 블록에서 수행된다.
- <135>        이 때 데이터 메모리 블록에 데이터를 기입하려고 하면 데이터 메모리 블록에 저장되어 있는 데이터가 유효한지 무효한지를 먼저 판단해야 한다. 데이터 메모리 블록에 저장되어 있는 데이터가 유효한지 무효한지는 TM/CMP 스테이지에서 기입 어드레스에 대응되는 태그 메모리 제어부(210)의 데이터를 독출하면 알 수 있다.



- <136>        태그 메모리 제어부(210)의 데이터는 데이터 메모리 블록에 저장되어 있는 데이터의 상위 어드레스와 데이터가 유효한지를 판단할 수 있는 유효 비트로 구성되기 때문에 유효 비트를 보면 알 수 있다.
- <137>        만일 데이터 메모리 블록에 저장된 데이터가 유효하지 않다면 데이터 메모리 블록에 현재 기입하려는 데이터를 기입하고 데이터 메모리 블록에 기입된 데이터에 관한 정보를 태그 메모리 제어부(210)에 업데이트 한다. 업데이트 동작은 데이터 메모리 블록에 새로 기입한 데이터의 상위 어드레스와 유효한 데이터라는 정보를 태그 메모리 제어부(210)에 기입하는 동작이다.
- <138>        만일 데이터 메모리 블록에 저장된 데이터가 유효하다면 스래싱(thrashing)이 발생한 것인데 이 경우 집적 회로는 다음과 같이 동작된다.
- <139>        DM/TM 스테이지에서 데이터 메모리 블록에 저장해 놓았던 데이터를 독출하고 새로운 데이터를 기입한다. 동일한 어드레스에 대해서 독출 동작과 기입 동작을 수행하는 것이기 때문에 하나의 클럭 사이클 동안 두 개의 동작이 가능하다. 그러면서 태그 메모리 제어부(210)에 데이터 메모리 블록에 기입한 데이터에 관련된 정보를 업데이트 한다.
- <140>        MM 스테이지에서는 원래 데이터를 독출 하려던 서브 메모리 블록에서 독출 동작을 수행하면서 동시에 앞 사이클에서 데이터 메모리 블록에서 독출된 데이터가 본래 저장되어야 할 서브 메모리 블록에 독출된 데이터를 기입한다. 데이터 메모리 블록으로부터 독출된 데이터가 기입되는 서브 메모리 블록과 원래 데이터를 독출 하려던 서브 메모리 블록은 서로 다른 블록이다.

<141> 서로 다른 서브 메모리 블록이기 때문에 동시에 기입 동작과 독출동작이 수행될 수 있고, 스래싱(thrashing)의 경우에 데이터 메모리 블록에 저장된 데이터를 서브 메모리 블록으로 옮기는데 클럭 신호의 주기에 영향을 주지 않을 수 있다.

<142> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<143> 상술한 바와 같이 본 발명에 따른 집적 회로의 동작 제어 방법은 클럭 신호의 한 주기 동안 독출 동작 및 기입 동작이 동시에 수행됨으로써 클럭 신호의 주기를 짧게 하기 위한 집적 회로에 있어서, 데이터가 집적 회로 내부의 메모리 블록들로 클럭 신호의 주기에 영향을 미치지 않고 원활하게 기입되거나 독출되도록 제어할 수 있는 장점이 있다.

**【특허청구범위】****【청구항 1】**

입출력 포트가 분리되어 있고 클럭 신호의 한 주기 동안 기입 어드레스와 독출 어드레스가 동시에 입력되며, 복수개의 서브 메모리 블록들을 각각 구비하는 복수개의 메모리 블록들, 상기 메모리 블록들에 대응되는 데이터 메모리 블록들, 상기 기입 어드레스 또는 상기 독출 어드레스에 응답하여 데이터를 상기 메모리 블록들 및 상기 데이터 메모리 블록들로 기입하거나 독출하는 태그 메모리 제어부를 구비하는 집적 회로의 동작 제어 방법에 있어서,

(a) 상기 기입 어드레스, 독출 어드레스 및 기입 데이터를 수신하는 단계 ;

(b) 상기 기입 어드레스 및 상기 독출 어드레스에 응답하여 상기 메모리 블록들 및 상기 데이터 메모리 블록들 중 어디서 데이터의 독출 및 기입 동작을 수행할 것인지를 판단하는 단계 ;

(c) 상기 (b) 단계의 결과에 응답하여, 상기 데이터 메모리 블록에서 독출 또는 기입 동작을 수행하는 단계 ; 및

(d) 상기 (b) 단계의 결과에 응답하여, 상기 메모리 블록에서 독출 또는 기입 동작을 수행하는 단계를 구비하는 것을 특징으로 하는 집적 회로의 동작 제어 방법.

**【청구항 2】**

제 1항에 있어서, 상기 (b) 단계는,

상기 태그 메모리 제어부에서 수행되는 것을 특징으로 하는 집적 회로의 동작 제어 방법.

**【청구항 3】**

제 1항에 있어서, 상기 (d) 단계는,

(d1) 데이터의 독출 동작의 경우, 상기 독출된 데이터를 상기 메모리 블록 내부의 서브 메모리 블록에 대응되는 전송부 까지 전송하는 단계 ;

(d2) 상기 전송부까지 전송된 상기 데이터를 출력 버퍼까지 전송하는 단계 ; 및

(d3) 상기 출력 버퍼까지 전송된 상기 데이터를 외부로 출력하는 단계를 구비하는 것을 특징으로 하는 집적 회로의 동작 제어 방법.

**【청구항 4】**

제 3항에 있어서, 상기 (a) 내지 (d) 단계는,

상기 집적 회로의 동작을 위한 파이프라인(pipeline) 구조에서,

각 파이프라인의 스테이지(stage)를 구성하는 것을 특징으로 하는 집적 회로의 동작 제어 방법.

**【청구항 5】**

제 4항에 있어서, 상기 각 스테이지(stage)는,

클럭 신호의 하나의 주기 동안 동작되거나 또는 상기 클럭 신호의 여러 주기 동안 동작되는 것을 특징으로 하는 집적 회로의 동작 제어 방법.

**【청구항 6】**

제 5항에 있어서, 상기 (c) 단계는,

상기 데이터 메모리 블록에서 수행된 독출 또는 기입 동작에 관한 정보를 상기 태그 메모리 제어부에 기입하는 단계를 더 구비하는 것을 특징으로 하는 집적 회로의 동작 제어 방법.



**【청구항 7】**

제 6항에 있어서, 상기 (b) 단계는,

상기 데이터 메모리 블록에서 수행된 독출 또는 기입 동작에 관한 정보를 상기 태그 메모리 제어부에 기입할 필요가 있는 경우, 상기 태그 메모리 제어부에 기입하기 전에 소정의 레지스터에 상기 정보와 상기 정보가 기입될 태그 메모리의 어드레스를 임시로 저장하고,

새로 수신된 기입 또는 독출 어드레스가 상기 정보가 기입될 태그 메모리의 어드레스와 일치하면 상기 레지스터에 저장된 상기 정보를 이용하여 다음 동작을 수행하는 것을 특징으로 하는 집적 회로의 동작 제어 방법.

**【청구항 8】**

제 4항에 있어서,

상기 (b) 단계의 판단 결과, 상기 (c) 단계의 동작이 수행될 필요가 없는 경우에도 상기 (c) 단계에 대응되는 스테이지에서 상기 (d) 단계의 동작이 수행되지 않으며,

상기 (c) 단계에 대응되는 스테이지에서는 아무런 동작이 수행되지 아니하는 것을 특징으로 하는 집적 회로의 동작 제어 방법.

**【청구항 9】**

제 1항에 있어서,

상기 수신되는 기입 어드레스 및 독출 어드레스의 상위 어드레스가 동일하고, 상기 독출 어드레스 및 상기 기입 어드레스가 소정의 데이터 메모리 어드레스와 동일하지 아니하며, 상기 기입 어드레스에 대응되는 상기 데이터 메모리 블록에 저장된 데이터가 유효하다면,

상기 (c) 단계는,

(c1) 상기 기입 어드레스에 대응되는 상기 데이터 메모리 블록에 저장된 데이터를 독출하는 단계 ; 및

(c2) 상기 데이터가 독출된 상기 데이터 메모리 블록에 상기 기입 어드레스에 대응되는 기입 데이터를 기입하는 단계를 구비하고,

상기 (d)단계는,

(da) 상기 독출 어드레스에 대응되는 서브 메모리 블록에서 독출 동작을 수행하는 단계 ; 및

(db) 상기 (c1) 단계에서 독출된 데이터가 본래 저장되어야 할 서브 메모리 블록에 상기 독출된 데이터를 기입하는 단계를 구비하는 것을 특징으로 하는 집적 회로의 동작 제어 방법.

#### 【청구항 10】

제 9항에 있어서, 상기 (c2) 단계는,

(c21) 상기 데이터가 독출된 상기 데이터 메모리 블록에 기입된 상기 기입 데이터에 관한 정보를 상기 태그 메모리 제어부에 기입하는 단계를 더 구비하는 것을 특징으로 하는 집적 회로의 동작 제어 방법.

#### 【청구항 11】

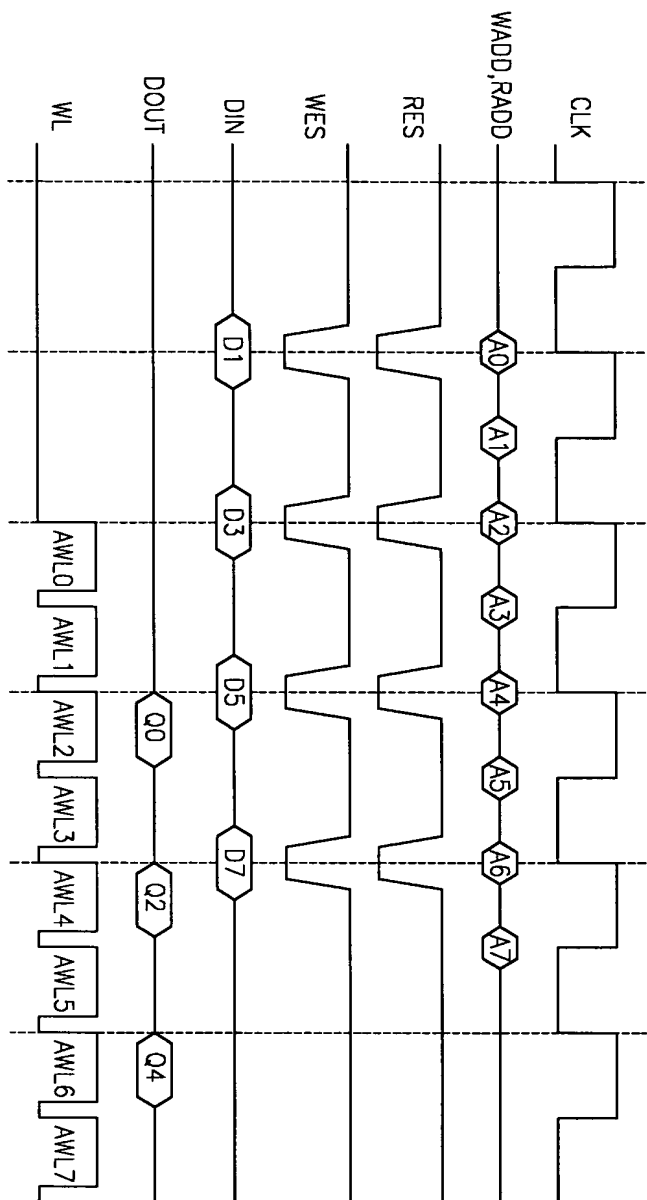
제 9항에 있어서, 상기 데이터 메모리 어드레스는,

상기 데이터 메모리 블록에 대응되는 상기 서브 메모리 블록의 어드레스를 나타내는 것을 특징으로 하는 집적 회로의 동작 제어 방법.

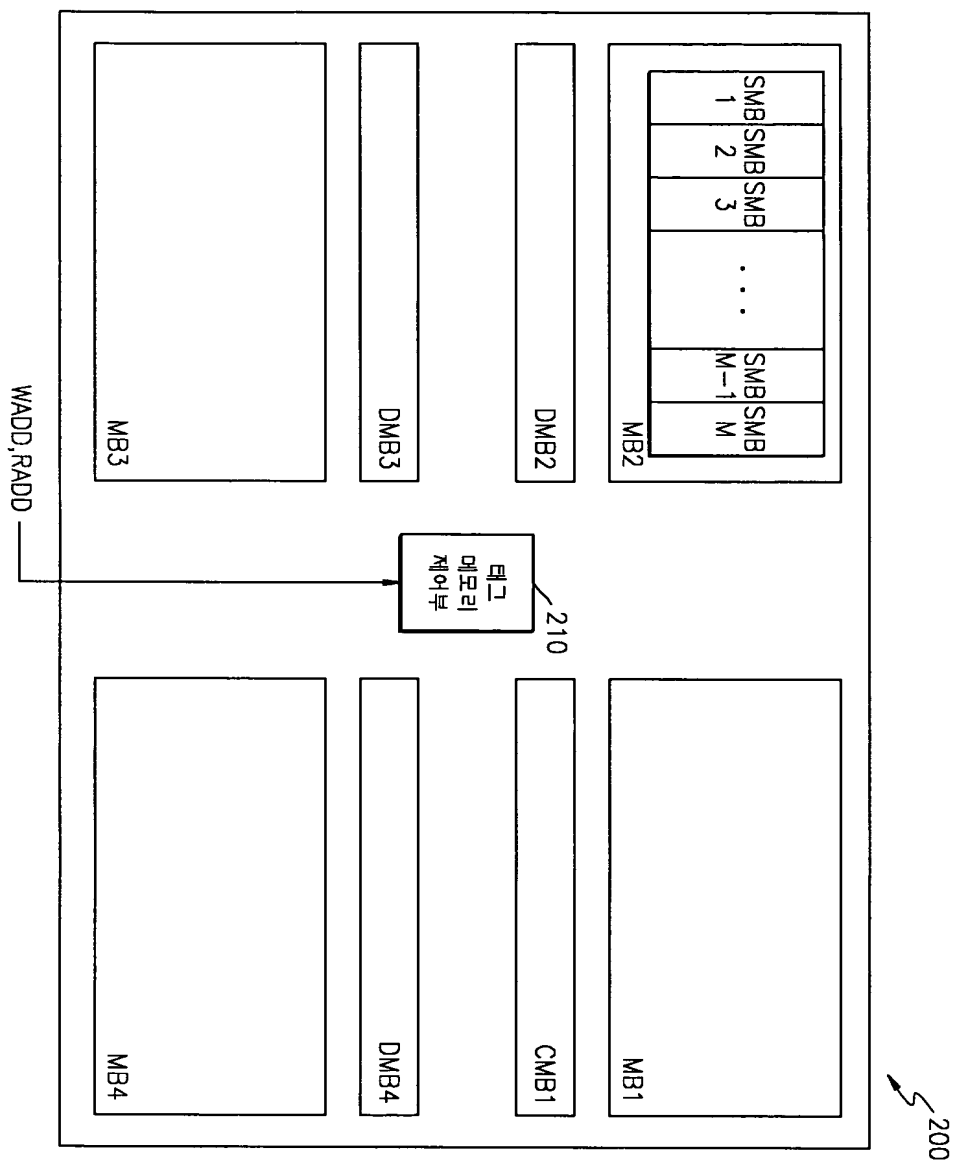


【도면】

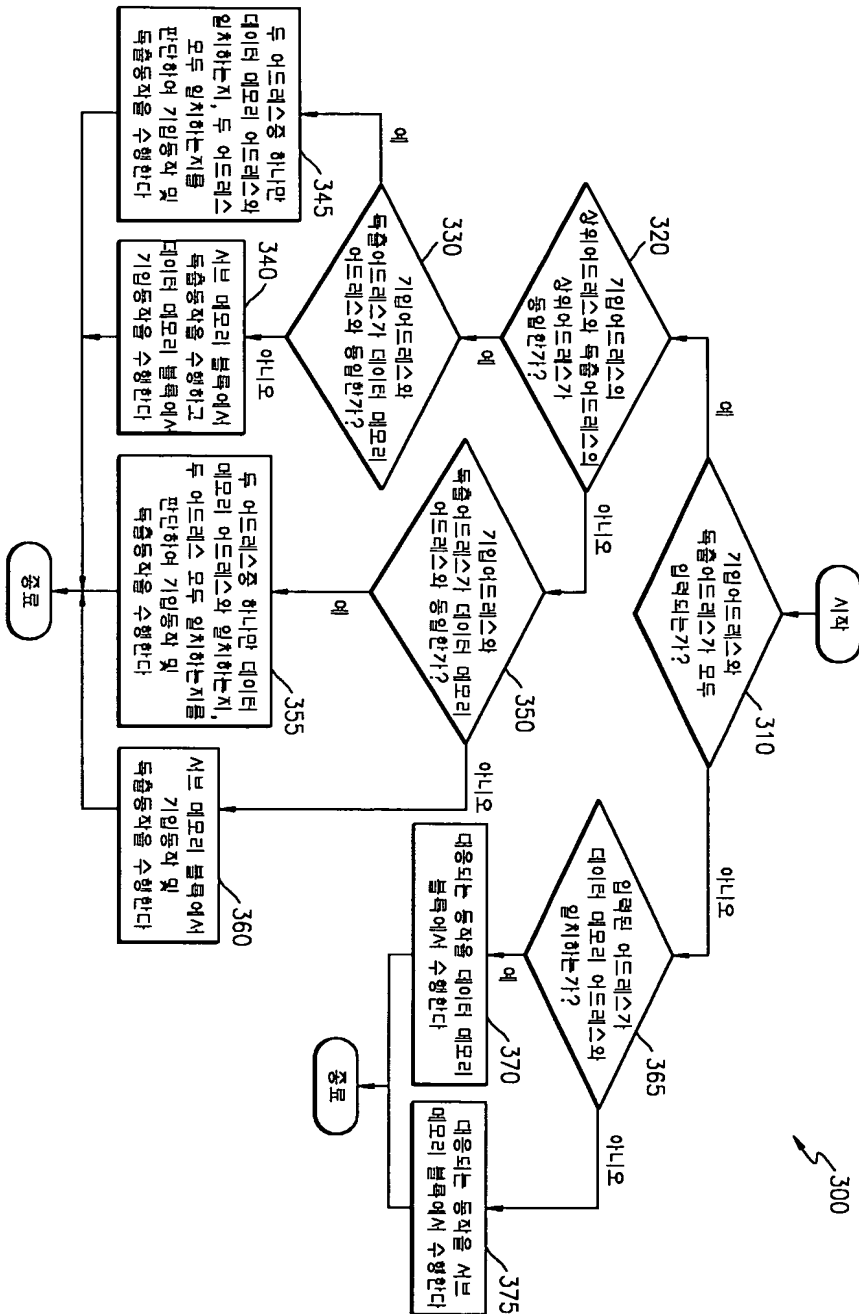
【도 1】



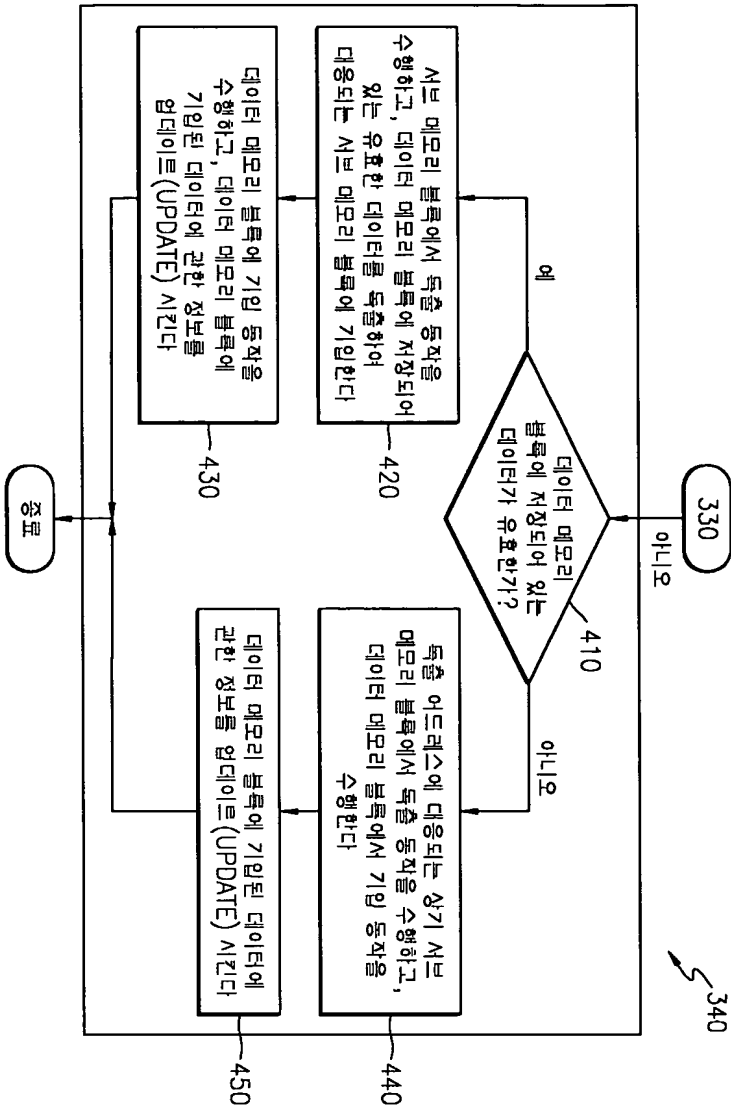
【도 2】



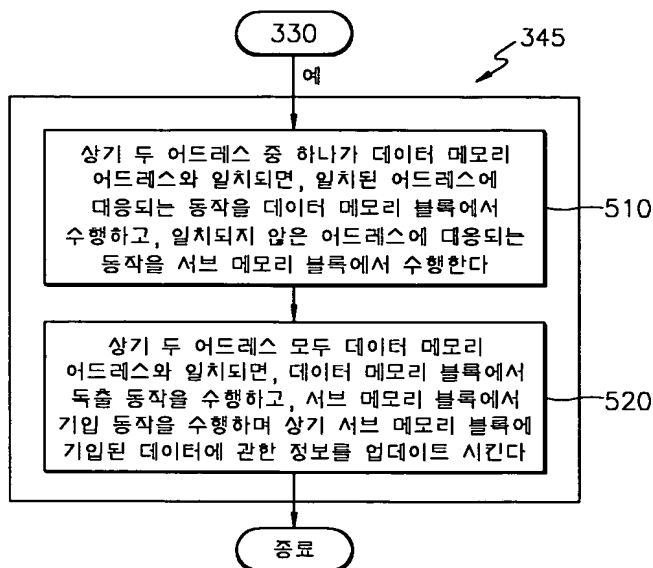
【도 3】



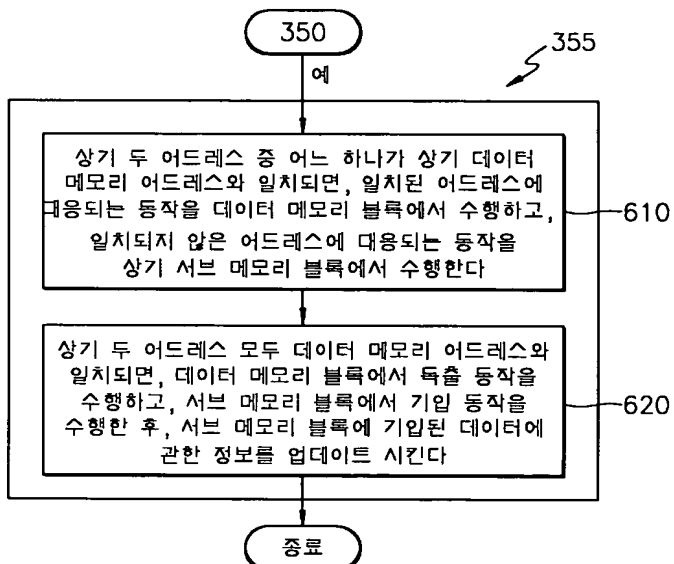
【도 4】



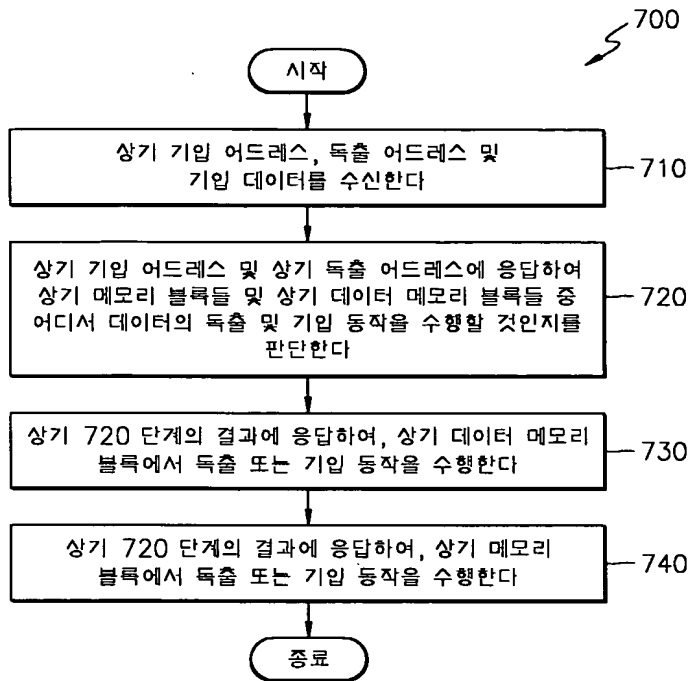
【도 5】



【도 6】



【도 7】







【도 8】

